

06/16/2006 10643110 Everhart

L7 ANSWER 26 OF 38 CAPLUS COPYRIGHT 2006 ACS on STN
ACCESSION NUMBER: 2000:79332 CAPLUS
DOCUMENT NUMBER: 132:130858
TITLE: Manufacture of semiconductor device involving forming titanium nitride as barrier metal layer in electric circuit
INVENTOR(S): Ohshita, Yoshio
PATENT ASSIGNEE(S): NEC Corp., Japan
SOURCE: Jpn. Kokai Tokkyo Koho, 9 pp.
CODEN: JKXXAF
DOCUMENT TYPE: Patent
LANGUAGE: Japanese
FAMILY ACC. NUM. COUNT: 1
PATENT INFORMATION:

PATENT NO.	KIND	DATE	APPLICATION NO.	DATE
JP 2000036473	A2	20000202	JP 1998-202321	19980716
JP 3248489	B2	20020121		

PRIORITY APPLN. INFO.: JP 1998-202321 19980716

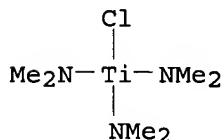
AB The device is manufactured from a substrate having contact holes or trenches by forming a TiN film on the surface by CVD using organometallic raw material gas containing Ti and halogens, patterning the TiN film, and forming a circuit made of an elec. conductor on the TiN film pattern. The TiN film shows improvement of gap-filling property without affecting the quality of the film, e.g., stable sp. resistivity, etc.

IT 16530-79-3, Chlorotris(dimethylamino)titanium 16753-20-1
, Dichlorobis(dimethylamino)titanium

RL: PEP (Physical, engineering or chemical process); PROC (Process)
(manufacture of semiconductor device involving forming elec. circuit having titanium nitride barrier layer formed by CVD)

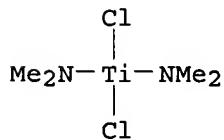
RN 16530-79-3 CAPLUS

CN Titanium, chlorotris(N-methylmethanaminato)-, (T-4)- (9CI) (CA INDEX
NAME)



RN 16753-20-1 CAPLUS

CN Titanium, dichlorobis(N-methylmethanaminato)-, (T-4)- (9CI) (CA INDEX
NAME)



IC ICM H01L021-285

ICS H01L021-285; H01L021-768

CC 76-3 (Electric Phenomena)

06/16/2006 10643110 Everhart

Section cross-reference(s): 75

ST semiconductor device elec circuit formation; titanium nitride barrier layer circuit formation; organometallic compd **CVD** titanium nitride; halogen titanium organometallic compd **CVD**; gap filling property **CVD** titanium nitride; stable resistivity titanium nitride film **CVD**

IT Semiconductor device fabrication
(manufacture of semiconductor device involving forming elec. circuit having titanium nitride barrier layer formed by **CVD**)

IT Vapor deposition process
(metalorg.; manufacture of semiconductor device involving forming elec. circuit having titanium nitride barrier layer formed by **CVD**)

IT 7664-41-7, Ammonia, processes
RL: PEP (Physical, engineering or chemical process); PROC (Process)
(in manufacture of semiconductor device involving forming elec. circuit having titanium nitride barrier layer formed by **CVD**)

IT 25583-20-4, Titanium nitride
RL: DEV (Device component use); PEP (Physical, engineering or chemical process); PROC (Process); USES (Uses)
(manufacture of semiconductor device involving forming elec. circuit having titanium nitride barrier layer formed by **CVD**)

IT 16530-79-3, Chlorotris(dimethylamino)titanium 16753-20-1
, Dichlorobis(dimethylamino)titanium
RL: PEP (Physical, engineering or chemical process); PROC (Process)
(manufacture of semiconductor device involving forming elec. circuit having titanium nitride barrier layer formed by **CVD**)

[First Hit](#)[Previous Doc](#)[Next Doc](#)[Go to Doc#](#) [Generate Collection](#) [Print](#)

L1: Entry 1 of 3

File: JPAB

Feb 2, 2000

PUB-NO: JP02000036473A

DOCUMENT-IDENTIFIER: JP 2000036473 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: February 2, 2000

INVENTOR-INFORMATION:

NAME

COUNTRY

OSHITA, YOSHIO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP10202321

APPL-DATE: July 16, 1998

INT-CL (IPC): H01 L 21/285; H01 L 21/768

ABSTRACT:

PROBLEM TO BE SOLVED: To improve both embeddability and film quality, while maintaining the merit that a substrate temperature is low at forming of a titanium nitride film through CVD(chemical vapor deposition) method, using organic metal raw material gas.

SOLUTION: In this manufacturing method, after forming the titanium nitride film 12 on a semiconductor substrate, provided with a contact hole 10 by using the organic metal raw material gas containing titanium and chlorine by the chemical vapor deposition method, the titanium nitride film 12 is patterned into a desired shape, and then a wiring composed of a conductive material is formed on the titanium nitride film 12.

COPYRIGHT: (C) 2000, JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-36473

(P2000-36473A)

(43) 公開日 平成12年2月2日 (2000.2.2)

(51) Int.Cl.
H01L 21/285
21/768

識別記号
301

F I
H01L 21/285
21/90

テーマコード (参考)
301R 4M104
C 5F033
C

審査請求 有 請求項の数7 OL (全9頁)

(21) 出願番号 特願平10-202321
(22) 出願日 平成10年7月16日 (1998.7.16)

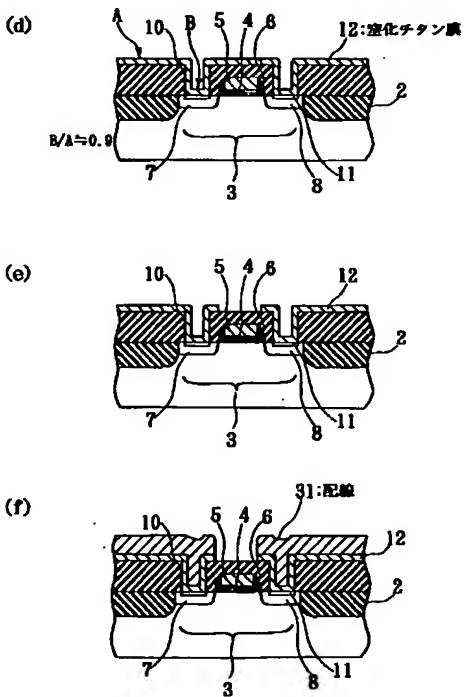
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 大下 祥雄
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74) 代理人 100099830
弁理士 西村 征生
F ターム(参考) 4M104 BB30 CC01 DD06 DD43 DD45
HH13 HH16
5F033 AA02 AA64 BA25 BA37 BA46
DA15

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 有機金属原料ガスを用いたCVD法により窒化チタン膜を成膜するにあたり、基板温度が低いという利点を維持したまま、埋め込み性及び膜質の向上を両立させる。

【解決手段】 コンタクトホール10を含む半導体基板1上に、化学的気相成長法によりチタン及び塩素を含む有機金属原料ガスを使用して、窒化チタン膜12を成膜した後、同窒化チタン膜12を所望の形状にパターニングし、次に同窒化チタン膜12上に導電性材料からなる配線を形成する。



【特許請求の範囲】

【請求項1】半導体基板を覆う絶縁膜の接続孔又は接続溝に窒化チタンからなるバリア金属膜を介して配線を形成する半導体装置の製造方法であって、

前記接続孔又は接続溝を含む前記半導体基板上に、化学的気相成長法によりチタン及びハロゲン元素を含む有機金属原料ガスを使用して、窒化チタン膜を成膜する窒化チタン膜成膜工程と、

前記窒化チタン膜を所望の形状にバターニングする窒化チタン膜バターニング工程と、

前記窒化チタン膜上に導電性材料からなる配線を形成する配線形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】前記ハロゲン元素は、塩素、フッ素又は臭素からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記有機金属原料ガスは、 $Ti(N(CH_3)_2)_3X$ 、 $Ti(N(CH_3)_2)_2X_2$ 、 $Ti(N(C_2H_5)_2)_3X$ 又は $Ti(N(C_2H_5)_2)_2X_2$ （ただし、Xはハロゲン元素）からなることを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】前記窒化チタン膜成膜工程を、前記半導体基板を150～400°Cで加熱して行うことを特徴とする請求項1、2又は3記載の半導体装置の製造方法。

【請求項5】前記窒化チタン膜成膜工程を、前記有機金属原料ガスとともに、窒素化合物ガスを供給して行うことを特徴とする請求項1乃至4のいずれか1に記載の半導体装置の製造方法。

【請求項6】前記窒素化合物ガスとして、アンモニアガスを用いることを特徴とする請求項1乃至5のいずれか1に記載の半導体装置の製造方法。

【請求項7】前記窒化チタン膜成膜工程をプラズマ発生雰囲気中で行うことを特徴とする請求項1乃至6のいずれか1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に係り、詳しくは、半導体基板を覆う絶縁膜の接続孔又は接続溝に、窒化チタンからなるバリア金属膜をCVD (Chemical Vapor Deposition: 化学的気相成長) 法により成膜する半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の代表として知られているマイクロプロセッサやメモリ等のLSI（大規模集積回路）は、集積度の向上につれて個々の素子の寸法は益々微細化されてきており、これに伴って各素子を構成する半導体領域の寸法も微細化されている。また、各半導体領域に対して配線を接続する場合、同配線を埋め込むために絶縁膜に形成するコンタクトホールやピアホール等

の接続孔も微細化されて、同接続孔のアスペクト比は高くなりつつある。最近のLSIは、集積度の点で優れているMOSトランジスタによって構成されたMOSLSIが主流になっている。

【0003】このようなLSIにおいて、例えば高速向きのマイクロプロセッサ等では、動作上特に配線の抵抗値が問題となるので、その配線材料としては抵抗値の低い金属を用いることが望まれている。従来から、LSIを含めた半導体装置の配線材料としては、電気的特性、

10 加工性等の点で優れているアルミニウム (Al) またはアルミニウムを主成分とするアルミニウム系金属が用いられてきている。しかしながら、同アルミニウム系金属は、エレクトロマイグレーション耐性、ストレスマイグレーション耐性に弱いという欠点がある。このため、アルミニウム系金属に代わってそれよりも抵抗値が小さくて、エレクトロマイグレーション耐性、ストレスマイグレーション耐性に優れている銅 (Cu) 又は銅を主成分とする銅系金属が用いられる傾向にある。また、微細な接続孔に対して埋め込み性に優れているタンゲステン (W) が用いられる場合もある。

【0004】ところで、上述したような金属からなる配線を微細な深さの半導体領域に接続する場合、アニール等の熱処理時に配線が浅い半導体領域を突き抜けるアロイズパイク現象等を引き起こし易くなる。このため、配線を半導体領域に直接に接続させることなく、バリア金属膜を介して接続させることが行われている。このバリア金属膜としては、一般に高融点金属膜が多く用いられているが、その中でも窒化チタン (TiN) 膜が広く用いられている。同窒化チタン膜は、バリア性に優れているだけでなく、比較的抵抗値が低く、また、熱処理時に特性が変化しないという安定性を備えている。

【0005】ここで、窒化チタン膜の成膜は、一般に、PVD (Physical Vapor Deposition: 物理的気相成長) 法の代表であるスパッタ法、あるいはCVD法により行われている。スパッタ法はCVD法に比較して、成膜速度が大きいという利点を有している。しかしながら、微細化され、さらにアスペクト比が高くなる傾向にある接続孔に窒化チタン膜を成膜する場合、スパッタ法では接続孔の底部までわたって均一膜厚で窒化チタン膜を埋め込むことが困難となる。このため、図4に示すように、接続孔51の表面52、側面53及び底面54に成膜される窒化チタン膜55の膜厚に差が生ずるようになり、埋め込み性に劣るいわゆる段差被覆性 (ステップカバレッジ) の悪い膜が成膜される。このように、スパッタ法による成膜がステップカバレッジに劣るのは、成膜原理に起因しており、スパッタ時にイオンの衝撃によりチタンターゲットから半導体基板に飛来するチタン粒子があまり異方性を有していないためである。

【0006】一方、CVD法によれば、図5に示すように、埋め込み性に優れたステップカバレッジの良好な窒

化チタン膜を成膜することできる。このCVD法では、反応ガスが接続孔の内部及び外部に回り込むように完全な異方性を有しているので、接続孔の内外にわたって略均一な膜厚で窒化チタン膜を成膜することができるようになる。それゆえ、微細な接続孔に対する窒化チタン膜の成膜は、CVD法を利用して行われることが多い。

【0007】ここで、CVD法による窒化チタン膜の成膜方法は、用いるチタンの原料ガスの種類により二つの方法に大別できる。その一方法は、原料ガスとして四塩化チタン($TiCl_4$)等の無機金属材料を使用する方法である。その他の方法は、原料ガスとしてTDEAT(Tetrakis-Diethylamino-Titanium:テトラキス・デエチルアミノ・チタン)、TDMA(Tetrakis-Dimethylamino-Titanium:テトラキス・デメチルアミノ・チタン)等の有機金属材料を使用する方法である。前者では、上述の無機金属原料ガスとともにアンモニア(NH_3)等の窒素化合物を用いて、加熱された雰囲気中で化学反応させて窒化チタン膜を成膜して、半導体基板上に堆積させる。後者では、上述の有機金属原料ガスに窒素が含まれているので、窒素化合物を用いなくとも、同原料ガスを熱分解させることにより窒化チタン膜を成膜して、同様に半導体基板上に堆積させる。ただし、後者でも、膜質の改善等を目的として、原料ガスにアンモニア等の窒素化合物を加える場合がある。いずれのCVD法でも、良好なステップカバレッジを有する窒化チタン膜を成膜することができる。

【0008】例えば特開平7-201779号公報には、上述のように原料ガスとして四塩化チタンガス及びアンモニアガスを用いて、CVD法により窒化チタン膜を成膜するようにした半導体装置の製造方法が開示されている。

【0009】ところで、CVD法による上述の二つの成膜方法を比較した場合、前者では、窒化チタン膜を成膜するにあたり比較的高い略500°C以上の基板温度が必要になる。しかし、半導体装置を構成している各種の絶縁膜として特性上誘電率の低い材料の使用が望まれており、また今後さらに低誘電率材料の使用が予想されることを考慮すると、多くの低誘電率材料は耐熱性に劣るので、略400°C以上のプロセス温度は回避する必要がある。この点で、上述の基板温度は高すぎて望ましくない。一方、後者では、略400°C以下の基板温度で、窒化チタン膜を成膜できるので、前者のような不都合は生じない。

【0010】

【発明が解決しようとする課題】しかしながら、有機金属原料ガスを用いたCVD法により窒化チタン膜を成膜する従来の半導体装置の製造方法では、成膜された窒化チタン膜の埋め込み性と膜質とがトレードオフの関係にあるので、基板温度が低いという利点を維持するのが困

難になる、という問題がある。すなわち、有機金属原料ガスを用いたCVD法は、上述したように略400°C以下の比較的低い温度で埋め込み性に優れた窒化チタン膜を成膜できるが、その反面、成膜された窒化チタン膜は比抵抗が高くなったり、経時的に比抵抗が上昇したりするので、膜質は低下するようになる。窒化チタン膜の膜質を向上させたい場合には基板温度を高くすればよいが、この場合には、窒化チタン膜の埋め込み性が悪くなってくる。さらに前述したように低誘電率材料に対して影響を与えるようになる。

【0011】従来において、基板温度が低いという利点を維持したまま、窒化チタン膜の埋め込み性及び膜質の向上を両立させることができなかったのは、以下の理由による。一般に、良好なステップカバレッジを実現するためには、基板温度を下げるこにより、原料ガスと基板表面との反応性を低下させる必要がある。これは、それによって未反応の原料ガスが多量に生じて、接続孔の底部に到達して埋め込みに寄与するためである。また、比抵抗やバリア性を左右する膜質は、基板温度の低下に伴って均質な膜が形成されにくくなるので低下する。一方、基板温度が上がると、原料ガスと基板表面との反応性は高まるので、原料ガスの分解が進み、反応性の高い分子が多く生成されるため成膜に寄与するようになる。したがって、均質な膜が形成され易くなるため、膜質が向上する。しかしながら、反応性の高まりによって接続孔の角部において消費される成膜種が多くなるので、底部に到達する成膜種が少なくなるため、埋め込み性は低下するようになる。

【0012】この発明は、上述の事情に鑑みてなされたもので、有機金属原料ガスを用いたCVD法により窒化チタン膜を成膜するにあたり、基板温度が低いという利点を維持したまま、埋め込み性及び膜質の向上を両立させることができるようした半導体装置の製造方法を提供することを目的としている。

【0013】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、半導体基板を覆う絶縁膜の接続孔又は接続溝に、窒化チタンからなるバリア金属膜を介して配線を形成する半導体装置の製造方法であって、上記接続孔又は接続溝を含む上記半導体基板上に、化学的気相成長法によりチタン及びハロゲン元素を含む有機金属原料ガスを使用して、窒化チタン膜を成膜する窒化チタン膜成膜工程と、上記窒化チタン膜を所望の形状にバーニングする窒化チタン膜バーニング工程と、上記窒化チタン膜上に導電性材料からなる配線を形成する配線形成工程とを含むことを特徴としている。

【0014】また、請求項2記載の発明は、請求項1記載の半導体装置を製造するための方法に係り、上記ハロゲン元素は、塩素、フッ素又は臭素からなることを特徴としている。

【0015】請求項3記載の発明は、請求項1又は2記載の半導体装置を製造するための方法に係り、上記有機金属原料ガスは、 $Ti(N(CH_3)_2)_3X$ 、 $Ti(N(CH_3)_2)_2X_2$ 、 $Ti(N(C_2H_5)_2)_3X$ 又は $Ti(N(C_2H_5)_2)_2X_2$ （ただし、Xはハロゲン元素）からなることを特徴としている。

【0016】請求項4記載の発明は、請求項1、2又は3記載の半導体装置を製造するための方法に係り、上記窒化チタン膜成膜工程を、上記半導体基板を150～400°Cで加熱して行うことを特徴としている。

【0017】請求項5記載の発明は、請求項1乃至4のいずれか1に記載の半導体装置を製造するための方法に係り、上記窒化チタン膜成膜工程を、上記有機金属原料ガスとともに、窒素化合物ガスを供給して行うことを特徴としている。

【0018】請求項6記載の発明は、請求項1乃至5のいずれか1に記載の半導体装置を製造するための方法に係り、上記窒素化合物ガスとして、アンモニアガスを用いることを特徴としている。

【0019】また、請求項7記載の発明は、請求項1乃至6のいずれか1に記載の半導体装置を製造するための方法に係り、上記窒化チタン膜成膜工程を、プラズマ発生雰囲気中で行うことを特徴としている。

【0020】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

◇第1実施例

図1 (a)～(c) 及び図2 (d)～(f) は、この発明の第1実施例である半導体装置の製造方法を工程順に示す工程図、また、図3は同半導体装置の製造方法の実施に使用されるCVD装置の構成を示す構成図である。以下、図1 (a)～(c) 及び図2 (d)～(f) を参照して、同半導体装置の製造方法について工程順に説明する。まず、図1 (a) に示すように、例えばシリコン単結晶からなり、表面が酸化シリコン膜 (SiO_2) からなる素子分離領域2によって素子形成領域3が絶縁分離された半導体基板1を用意する。素子分離領域2は周知のLOCOS (Local Oxidation Of Silicon) 技術により形成する。素子形成領域3の略中央位置には、酸化シリコン膜からなるゲート絶縁膜4、多結晶シリコン膜からなるゲート電極5及び酸化シリコン膜からなるサイドウォール絶縁膜6が形成されている。

【0021】次に、図1 (b) に示すように、素子形成領域3にゲート電極5によるセルフアライン法により、P型不純物又はN型不純物をイオン打ち込みして、ゲート電極5の両側にソース領域7及びドレイン領域8を形成する。

【0022】次に、図1 (c) に示すように、CVD法により、酸化シリコン膜からなる膜厚が略1 μm の絶縁

膜9を半導体基板1の全面に形成した後、周知のフォトリソグラフィ技術により、ソース領域7及びドレイン領域8を露出するように、直径が略0.2 μm のコンタクトホール10を開口する。同コンタクトホール10の開口は、フォトレジスト膜をマスクとしたドライエッティングにより行い、開口後のフォトレジスト膜は酸素ガスを用いたアッシングにより除去した。また、開口後にコンタクトホール10の底部に形成された自然酸化膜を、希釈したフッ酸 (HF) 水溶液により除去した後、半導体基板1を水洗した。次に、CVD法により、コンタクトホール10にチタン膜を堆積した後、熱処理を施してソース領域7及びドレイン領域8の表面にチタンシリサイド ($TiSi_2$) 11を形成する。同チタンシリサイド11は、ソース領域7及びドレイン領域8に後の工程で配線を接続したときに、コンタクト抵抗を低下させる目的で行う。これにより、LSIを構成するMOSトランジスタの主要部が完成する。

【0023】次に、以上の工程で得られた半導体基板1を、図3に示すような、CVD装置13の容器 (チャンバ) 14に収容して、バリア金属膜としての窒化チタン膜を成膜する。CVD装置13は、同図に示すように、半導体基板1を容器14内で保持するための基板保持部15を有し、半導体基板1は基板保持部15により保持された状態で、基板加熱機構16により加熱されるようになっている。この基板加熱温度により基板温度が決定される。容器14の外部には有機金属原料ガス保管容器17が設けられて、同保管容器17にはチタンの原料ガスである例えばモノクロルトリスジメチルアミノチタン [$Ti(N(CH_3)_2)_3Cl$] が保管されていて、同保管容器17は原料ガスが保管容器加熱機構18により加熱されている。ここで、この例で用いられるチタンの原料ガスは、上述したようにハロゲン元素の一種である塩素 (Cl) を含んでいることが特徴になっている。

【0024】有機金属原料ガス保管容器17の原料ガスは、マスフローコントローラ19及びバルブ20を介して気化器21に供給される。一方、窒素 (N_2) キャリアガスは、マスフローコントローラ22及びバルブ23を介して気化器21に供給される。これにより、原料ガス及び窒素キャリアガスは気化器21で混合されて、容器14の内部のシャワーヘッド24を通じて半導体基板1に供給される。容器14の内部の圧力は、圧力調整バルブ25及び不要ガスを外部に排気する真空ポンプ26によってコントロールされる。チタンの原料ガスは蒸気圧が低いので、室温において液体である材料が多い。このため、この例においては、窒素キャリアガスを用いる気化器21を使用して、容器14の内部及び外部における原料ガスの液化を防止するために、図示しないヒーターにより容器14及び排気系を加熱するようにしている。また、必要に応じてアンモニア等の窒素化合物を原料ガスとして供給できるように、マスフローコントロー

ラ27、バルブ28及び気化器29からなる供給ラインがシャワー・ヘッド24に設けられている。さらに、この供給ラインにはプラズマ源30が設けられて、塩素あるいはアンモニア等を予め分解して、反応性の高いラジカルを半導体基板1に供給することが可能になっている。このような供給ラインを設けることにより、成膜する窒化チタン膜の膜質をより改善することが可能になる。

【0025】次に、CVD装置13を用いた窒化チタン膜の具体的な成膜方法について説明する。まず、図1(c)の工程で得られた半導体基板1を容器14の基板保持部15に保持させた状態で、基板加熱機構16により半導体基板1を略350°Cに加熱する。基板温度が安定した後、有機金属原料ガス保管容器17に保管されている有機金属原料ガスであるTi(N(CH₃)₂)₃C1をマスフローコントローラ19及びバルブ20を通じて気化器21に供給するとともに、窒素キャリアガスをマスフローコントローラ22及びバルブ23を通じて気化器21に供給して両ガスを混合する。

【0026】次に、混合ガスを気化器21からシャワー・ヘッド24を通じて、容器14内の半導体基板1に供給する。このとき、窒素キャリアガスの流量を略200sccm (standard cubic centimeter per minute)に、同窒素キャリアガスにより運ばれる原料ガスTi(N(CH₃)₂)₃C1の量を略0.05g/分に、成膜時間を5~10分間に設定した条件で、図2(d)に示すように、膜厚が略200nmの窒化チタン膜12を成膜した。

【0027】この結果、コンタクトホール10の表面における膜厚Aと底部における膜厚Bとの差が極めて小さくなつた、埋め込み性に優れた窒化チタン膜12が成膜され、同図に示すように略90%のステップカバレッジが得られた。また、成膜された窒化チタン膜12の比抵抗を測定したところ、略150μΩcm以下の値が得られた。一方、原料ガスとして従来のTDEATを用いて、この例と略同じ成膜条件で窒化チタン膜を成膜して、同窒化チタン膜質のステップカバレッジ及び比抵抗を測定した。この結果、略80%のステップカバレッジ及び略300μΩcmの比抵抗が得られた。両者を比較して明らかのように、この例による結果は、ステップカバレッジ及び比抵抗のいずれもが従来例のそれよりも優れており、基板温度が低いという利点を維持したままで、埋め込み性及び膜質の向上を両立させることができることを示している。

【0028】この例により、基板温度が低いという利点を維持したままで、窒化チタン膜の埋め込み性及び膜質の向上を両立させることができるのは、チタンの原料ガスに、上述したようにハロゲン元素の一種である塩素が含まれているためである。同塩素の存在により、以下のような二つの作用が生ずる。その一つは、塩素は電気陰性度が大きいため、原料ガスと基板表面との反応性が低

下することである。すなわち、大きな電気陰性度に基づいて塩素が、成膜時の熱分解により生じたチタンを含む反応中間体から電子を引き付けるので、反応中間体において電子の偏りが生じるようになる。この結果、塩素は過剰な電子によって負になる一方、反応中間体において反応に寄与する電子の数が減少するので、反応性が低下する。他の一つは、塩素を含んだ成膜種が基板表面に吸着されることにより、基板表面に塩素が存在するようになるため、従来例と比較してより高い基板温度においても、原料ガスと基板表面との反応性が低下することである。すなわち、基板表面に吸着した塩素は他の成膜種が基板表面に吸着されるのを阻止するように働く。この結果、略400°C以下の温度で、従来よりも高い基板温度においても、反応性を低下させることができるようになる。このことは、窒化チタン膜の埋め込み性を向上させることができるとともに、温度が高くなつた分、膜質も向上させることができることを示している。したがつて、原料ガスに塩素を含ませることにより、特に後者の作用によって、基板温度が低いという利点を維持したままで、窒化チタン膜の埋め込み性及び膜質の向上を両立させることができるようになる。

【0029】次に、図2(e)に示すように、周知のフォトリソグラフィ技術により、窒化チタン膜12を所望の形状にパターニングする。次に、図2(f)に示すように、スパッタ法により、膜質が0.3~0.5μmのアルミニウム膜を形成した後、所望の形状にパターニングすることにより配線31を形成する。次に、略500°Cで同配線31の安定化のための熱処理を施した。以上によって、半導体装置が製造される。

【0030】以上のようにして得られた半導体装置を検査した結果、配線31によるアロイスパイクは発見されず、窒化チタン膜12が良好なバリア性を有していることを確認した。

【0031】なお、この例において、原料ガスに含まれた塩素が窒化チタン膜12又は配線31等の膜中に残留していることが懸念される。残留している塩素の量が多いと、配線腐食の原因となる。そこで、膜中の残留塩素濃度をSIMS (Secondary Ion Mass Spectroscopy: 二次イオン質量分析装置)により、定量的に分析した。この結果、略1017/cm³以下の微量の塩素濃度が測定されたが、配線腐食ははら認められなかった。

【0032】このように、この例の構成によれば、コンタクトホール10を含む半導体基板1上に、化学的気相成長法によりチタン及び塩素を含む有機金属原料ガスを使用して、窒化チタン膜12を成膜した後、同窒化チタン膜12を所望の形状にパターニングし、次に同窒化チタン膜12上に導電性材料からなる配線を形成するようにしたので、有機金属原料ガスを用いたCVD法により窒化チタン膜を成膜するにあたり、基板温度が低いという利点を維持したままで、埋め込み性及び膜質の向上を

両立させることができる。

【0033】◇第2実施例

図3のCVD装置を使用して、成膜条件を変えて窒化チタン膜を成膜した。この例の半導体装置の製造方法の構成が、上述の第1実施例のそれと大きく異なるところは、チタンの原料ガスとしてジクロルビスマジメチルアミノチタンTi(N(CH₃)₂)₂C₁₂及アンモニアを使用するようにした点である。すなわち、同図のCVD装置13を用いて、図1(c)の工程で得られた半導体基板1を容器14の基板保持部15に保持させた状態で、基板加熱機構16により半導体基板1を略300℃に加熱した。基板温度が安定した後、有機金属原料ガス保管容器17に保管されている有機金属原料ガスであるTi(N(CH₃)₂)₂C₁₂をマスフローコントローラ19及びバルブ20を通じて気化器21に供給するとともに、窒素キャリアガスをマスフローコントローラ22及びバルブ23を通じて気化器21に供給して両ガスを混合する。さらに、アンモニアをマスフローコントローラ27及びバルブ28を通じて気化器29に供給する。

【0034】次に、混合ガスを気化器21から、アンモニアガスを気化器29からシャワーヘッド24を通じて、容器14内の半導体基板1に供給する。このとき、窒素キャリアガスの流量を略200sccmに、同窒素キャリアガスにより運ばれる原料ガスTi(N(CH₃)₂)₂C₁₂の量を略0.05g/分に、アンモニアガスの流量を略50sccmに、成膜時間を5~10分間に設定した条件で、窒化チタン膜12を成膜した。この結果、埋め込み性に優れた窒化チタン膜が成膜され、略80%のステップカバレッジが得られた。また、成膜された窒化チタン膜の比抵抗を測定したところ、略130μΩcm以下の値が得られた。

【0035】また、膜中の残留塩素濃度を分析したところ、略5×10⁻⁷/cm³以下の微量の塩素濃度が測定されたが、配線腐食は明らかに認められなかった。ただし、アンモニアガスを供給しなかった場合には、膜中の残留塩素濃度は、10⁻⁹/cm³のオーダが測定された。これは、第1実施例に比較して基板温度が低下しているためと考えられる。これも、アンモニアガスの供給により、上述のように減少させることができる。なお、第1実施例よりもステップカバレッジが低下したのは、アンモニアガスにより塩素濃度を減少した結果、成膜種の基板表面における反応性が高くなつたことに起因している。要は、低い基板温度で膜質に優れた窒化チタン膜許容されるステップカバレッジが得られる範囲内で、アンモニアガス流量又は基板温度が適宜選択される。また、塩素の残留濃度を減少させるには、キャリアガスとして水素(H₂)を使用するのが有効である。

【0036】このように、この例の構成によても、第1実施例において述べたのと略同様の効果を得ることが

できる。これに加えて、この例によれば、窒化チタン膜を成膜する基板温度をさらに低下させることができる。

【0037】◇第3実施例

図3のCVD装置を使用して、成膜条件を変えて窒化チタン膜を成膜した。この第3実施例の半導体装置の製造方法の構成が、上述の第2実施例のそれと大きく異なるところは、チタンの原料ガスとしてTi(N(CH₃)₂)₂C₁₂及アンモニアを使用するにあたり、プラズマ源を駆動するようにした点である。すなわち、同図の10 CVD装置13を用いて、図1(c)の工程で得られた半導体基板1を容器14の基板保持部15に保持させた状態で、第2の実施例と略同様な方法で窒化チタン膜を成膜するにあたり、プラズマ源30を略1kwのマイクロ波で駆動して、プラズマ発生雰囲気中で成膜を行った。この結果、埋め込み性に優れた窒化チタン膜が成膜され、略75%のステップカバレッジが得られた。また、成膜された窒化チタン膜の比抵抗を測定したところ、プラズマにより膜質が緻密になって略100μΩcm以下の値が得られた。

20 【0038】また、膜中の残留塩素濃度を分析したところ、プラズマによって窒素ラジカルが効率よく塩素の残留濃度を減少させる結果、略1×10⁻⁷/cm³以下の微量の塩素濃度が測定されたが、配線腐食は明らかに認められなかった。なお、第2実施例よりもステップカバレッジが低下したのは、プラズマの影響を多少受けたためである。

【0039】このように、この例の構成によても、第2実施例において述べたのと略同様の効果を得ることができる。

30 【0040】◇第4実施例

図3のCVD装置を使用して、成膜条件を変えて窒化チタン膜を成膜した。この第4実施例の半導体装置の製造方法の構成が、上述の第1実施例のそれと大きく異なるところは、チタンの原料ガスとしてTi(N(CH₃)₂)₃C₁に代えてTi(N(CH₃)₂)₂C₁₂を使用するようにした点である。すなわち、同図のCVD装置13を用いて、図1(c)の工程で得られた半導体基板1を容器14の基板保持部15に保持させた状態で、基板加熱機構16により半導体基板1を略300℃に加熱した。基板温度が安定した後、有機金属原料ガス保管容器17に保管されている有機金属原料ガスであるTi(N(CH₃)₂)₂C₁₂をマスフローコントローラ19及びバルブ20を通じて気化器21に供給するとともに、窒素キャリアガスをマスフローコントローラ22及びバルブ23を通じて気化器21に供給して両ガスを混合する。

40 【0041】次に、混合ガスを気化器21から、アンモニアガスを気化器29からシャワーヘッド24を通じて、容器14内の半導体基板1に供給する。このとき、窒素キャリアガスの流量を略200scmに、同窒素

11

キャリアガスにより運ばれる原料ガス $Ti(N(CH_3)_2)_2$ の量を略 $0.05\text{ g}/\text{分}$ に、成膜時間を $5\sim10\text{ 分}$ に設定した条件で、窒化チタン膜を成膜した。膜中の残留塩素濃度を分析したところ、略 $10_{19}/\text{cm}^3$ 台の微量の塩素濃度が測定された。ただし、この塩素濃度値は高いので、膜質を改善するため、次に、基板温度を 350°C に上げて、プラズマ源 30 を略 1 kW のマイクロ波で駆動して、略 10 分 、アンモニアプラズマ処理を行った。次に、改めて、膜中の残留塩素濃度を分析したところ、略 $1 \times 10_{17}/\text{cm}^3$ 以下の微量の塩素濃度が測定されたが、配線腐食は認められなかった。また、塩素の残留濃度を減少させるには、窒素キャリアガスと同時に、あるいは単独で水素ガスを使用するのが有効である。このように、この例の構成によっても、第1実施例において述べたのと略同様の効果を得ることができる。

【0042】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、有機金属原料ガスに含ませるハロゲン元素は、塩素に限ることなく、フッ素又は臭素を用いても略同様な効果を得ることができる。

【0043】また、基板温度は、実施例で示した例に限らず、 $150\sim400^\circ\text{C}$ であれば、窒化チタン膜の埋め込み性を低下させることなく、成膜することができる。また、窒化チタン膜を成膜する対象は、コンタクトホール等の接続孔に限らず、単に配線を走行させるために絶縁膜に形成した配線埋め込み用の接続溝であってもよい。また、窒化チタン膜を成膜するために用いる有機金属原料ガスは、実施例で示した例に限らず、 $Ti(N(CH_3)_2)_3X$ 、 $Ti(N(CH_3)_2)_2X_2$ 、 $Ti(N(C_2H_5)_2)_3X$ 又は $Ti(N(C_2H_5)_2)_2X_2$ (ただし、 X はハロゲン元素) で示されるような化合物であれば、任意の材料を選択することができる。また、絶縁膜は、酸化シリコン膜に限らずに、窒化シリコン膜、BSG (BoroSilicate Glass) 膜、PSG (Phospho Silicate Glass) 膜、あるいは BPSG (Boro-Phospho Silicate Glass) 等を用いることができる。

【0044】

【発明の効果】以上説明したように、この発明の半導体装置の製造方法によれば、接続孔又は接続溝を含む半導体基板上に、化学的気相成長法によりチタン及びハロゲ

12

ン元素を含む有機金属原料ガスを使用して、窒化チタン膜を成膜した後、同窒化チタン膜を所望の形状にバーニングし、次に同窒化チタン膜上に導電性材料からなる配線を形成するようにしたので、有機金属原料ガスを用いた CVD 法により窒化チタン膜を成膜するにあたり、基板温度が低いという利点を維持したままで、埋め込み性及び膜質の向上を両立させることができる。

【図面の簡単な説明】

【図1】この発明の第1実施例である半導体装置の製造方法を工程順に示す工程図である。

【図2】同半導体装置の製造方法を工程順に示す工程図である。

【図3】同半導体装置の製造方法の実施に使用される CVD 装置の構成を示す構成図である。

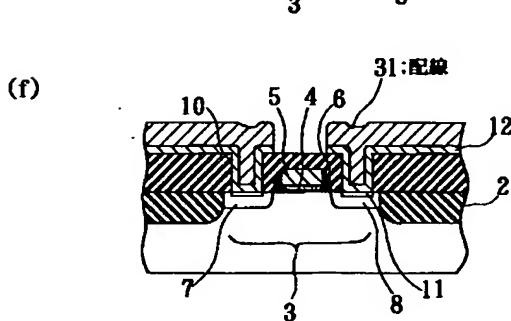
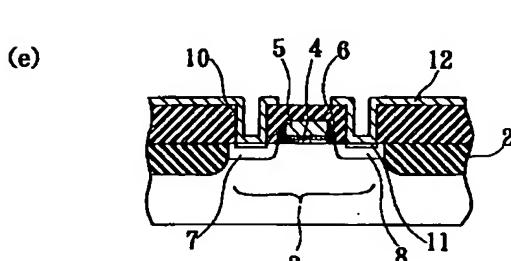
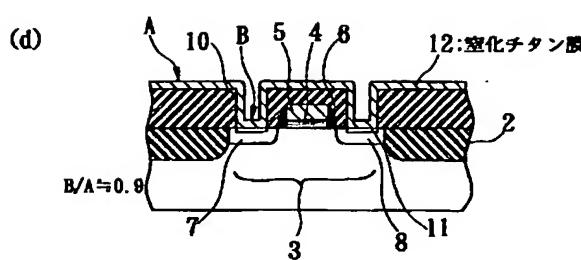
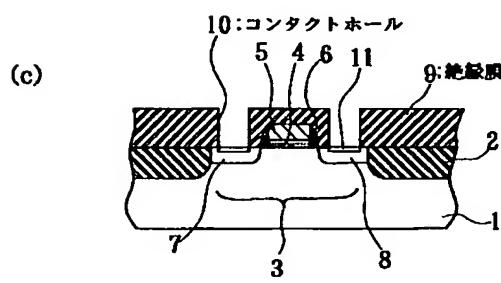
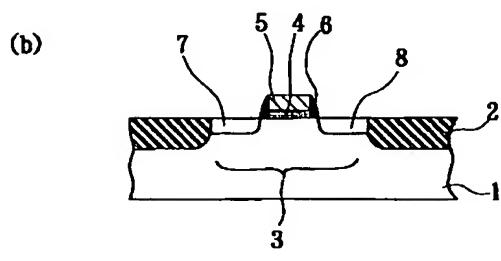
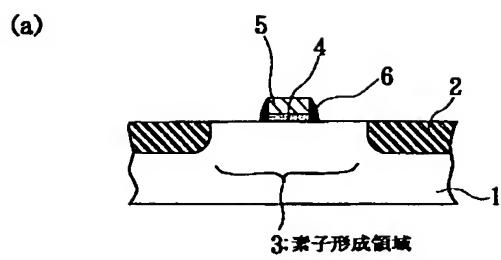
【図4】スパッタ法による成膜方法の説明図である。

【図5】CVD 法による成膜方法の説明図である。

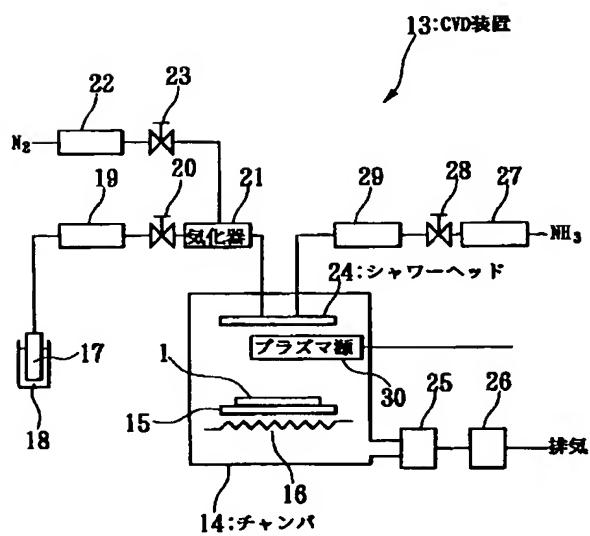
【符号の説明】

1	半導体基板
2	素子分離領域
3	素子形成領域
4	ゲート絶縁膜
5	ゲート電極
6	サイドウォール絶縁膜
7	ソース領域
8	ドレイン領域
9	絶縁膜
10	コンタクトホール
11	チタンシリサイド
12	窒化チタン膜
13	CVD 装置
14	容器 (チャンバ)
15	基板保持部
16	基板加热機構
17	有機金属原料ガス保管容器
18	保管容器加热機構
19, 22, 27	マスフローコントローラ
20, 23, 28	バルブ
21, 29	気化器
24	シャワーヘッド
25	圧力調整バルブ
26	真空ポンプ
30	プラズマ源
31	配線

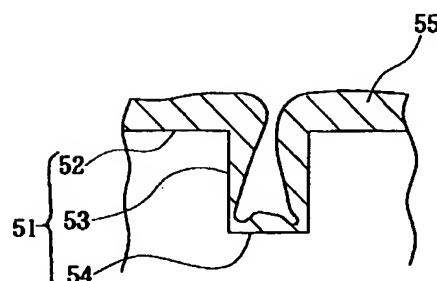
【図1】



【図3】



【図4】



【図5】

